

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223287

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H01L 23/12

H01L 21/56

(21)Application number : 2000-028868

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 07.02.2000

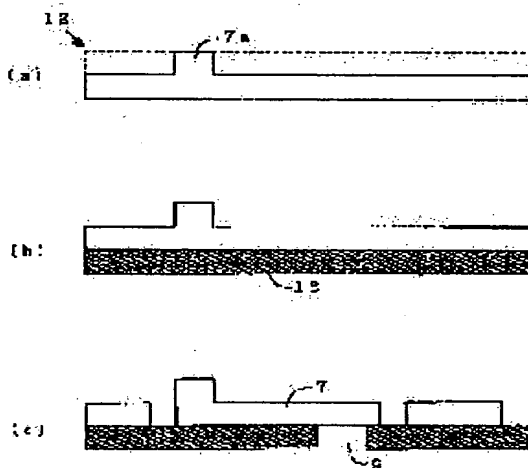
(72)Inventor : KAGOSHIMA HIRONORI  
TONE KEIICHI

## (54) METHOD FOR MANUFACTURING INTERPOSER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the manufacturing cost of an interposer for use in CSP by simplifying the structure thereof.

**SOLUTION:** The interposer 4a is manufactured by a step for forming a protrusion 7a corresponding to the electrode of a semiconductor chip by half etching one surface of a metal foil 12, a step for forming an insulation layer 13 entirely on the rear surface of the metal foil 12 where the protrusion 7a is not formed, a step for forming a specified wiring pattern 7 by etching the surface of the metal foil 12 where the protrusion 7a is formed, and a step for making an opening 9 exposing a part of the wiring pattern 7 at a specified position of the insulation layer 13.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223287

(P2001-223287A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 23/12

H 0 1 L 21/56

R

21/56

23/12

L

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号

特願2000-28868 (P2000-28868)

(22) 出願日

平成12年2月7日 (2000.2.7)

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 鹿児島 弘規

福岡県北九州市八幡西区小嶺2丁目10番1

号 株式会社三井ハイテック内

(72) 発明者 刀根 恵一

福岡県北九州市八幡西区小嶺2丁目10番1

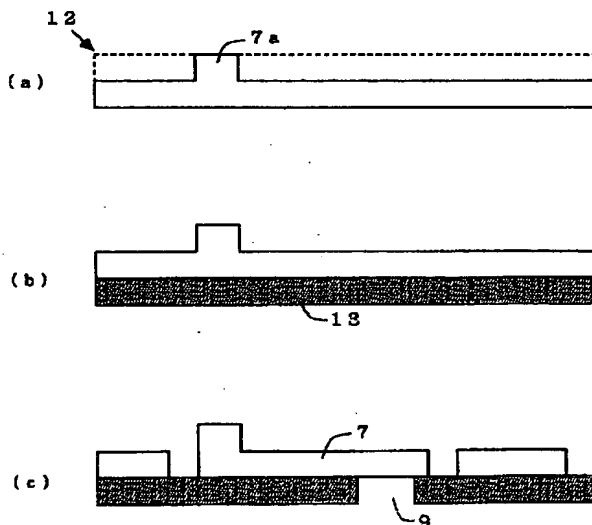
号 株式会社三井ハイテック内

(54) 【発明の名称】 インターポージャーの製造方法

(57) 【要約】

【課題】 CSPに使用されるインターポージャーの構造を単純化し、これにより製造コストを低減する。

【解決手段】 金属箔12の一面をハーフエッチングし、半導体チップの電極に対応する突起7aを形成する工程と、金属箔12の突起7a形成面の裏面全面に絶縁層13を形成する工程と、金属箔12の突起7a形成面側をエッチングし、所定の配線パターン7を形成する工程と、絶縁層13の所定の個所に配線パターン7の一部が露出する開口部9を形成する工程により、インターポージャー4aを製造する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 金属箔の一面をハーフエッチングし、半導体チップの電極に対応する突起を形成する工程と、金属箔の突起形成面の裏面全面に絶縁層を形成する工程と、金属箔の突起形成面側をエッチングし、所定の配線パターンを形成する工程と、絶縁層の所定の個所に配線パターンの一部が露出する開口部を形成する工程とを含むことを特徴とするインターポザーの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体チップをマザーボードに実装する際に使用されるインターポザーの製造方法に係り、特にCSP (Chip Size Package) に使用されるインターポザーの製造方法に関するものである。

## 【0002】

【従来の技術】近年、携帯電話などの携帯用電子機器の普及に伴い、それらに使用される半導体装置もより層の小型化が要求されている。この要求を満たすものとして、CSPと指称される超小型の半導体装置が注目されている。

【0003】図4に、この種の半導体装置の一例を示す。ここで示す半導体装置1は、半導体チップ2の電極3形成面側にインターポザー4が装着されているもので、このインターポザー4においては、半導体チップ2当接面の裏面側の所定個所に半田ボールなどの接続端子5が装着されている。半導体チップ2は、この接続端子5を介して図示しないマザーボードのマウントパッドと電気的に接続される。このような構造の半導体装置1によれば、半導体チップ2の外形とほぼ同一の外形とすることができるため小型化が図れる。

【0004】ところで、前述した半導体装置1に用いられるインターポザー4は、図3に示すような構造となっている。すなわちインターポザー4は、ポリイミド等からなる絶縁性基材6の一面に配線パターン7を有するテープ基材からなり、更に絶縁性基材6の配線パターン7形成面側は、その全面を絶縁性基材6と同じくポリイミドなどの絶縁性材料からなる保護膜8で覆われており、この保護膜8の所定の個所には、半田ボールなどの接続端子5の装着用ランドとして機能する開口部9が、配線パターン7の一部が露出するように設けられている。また、絶縁性基材6の前述した半導体チップ2の電極3に対応した位置には、絶縁性基材6を貫通して配線パターン7が露出するように形成されるスルーホール10が形成されており、このスルーホール10内には、めっき法によりCuなどからなる導電性部材11が充填されている。

## 【0005】

【発明が解決しようとする課題】しかし前述したインターポザー4は、高価なテープ基材を使用しているため

コストが高く、また配線パターン7上に保護膜8を形成しなければならないなど構造が複雑で、これが製品価格を低減する際に大きな妨げになっている。

【0006】更にインターポザー4の絶縁性基材6には、前述したようにスルーホール10を形成した後、スルーホール10内へ導電性部材11をめっき法により充填しているが、このめっき作業にも非常に時間がかかってしまい、その結果製品のリードタイムを短縮することができず、これも製品価格を低減することができない一因となっていた。

## 【0007】

【課題を解決するための手段】上記の問題点を解決するために、本発明は、インターポザーの構造を単純にすると共に、配線パターンの半導体チップ電極との接合部分に突起を形成し、この突起を介してインターポザーの配線パターンと半導体チップ電極とを直接電気的に接続するようにしている。

## 【0008】

【発明の実施の形態】本発明は、金属箔の一面をハーフエッチングし、半導体チップの電極に対応する突起を形成する工程と、金属箔の突起形成面の裏面全面に絶縁層を形成する工程と、金属箔の突起形成面側をエッチングし、所定の配線パターンを形成する工程と、絶縁層の所定の個所に配線パターンの一部が露出する開口部を形成する工程とにより、インターポザーを製造するようにしている。

【0009】本発明のインターポザーによれば、半導体チップの電極とインターポザーの配線パターンとの電気的接続は、配線パターンの所定の個所に形成された突起を介して行われるので、絶縁層へのスルーホールの形成やスルーホール内への導電性材料の充填を行う必要がなく、このため従来と比較して大幅に製造時間を削減でき、その結果製品コストを低減することができる。

【0010】また本発明によれば、従来のように配線パターン上に保護膜を形成する必要がないため、従来と比較してインターポザーの構造が単純化でき、この結果材料コストを低減することもできる。

## 【0011】

【実施例】以下、本発明のインターポザーの製造方法について、図面を参照して説明する。なお、従来と同一の箇所については同一の符号を使用して説明する。図1は本発明のインターポザーの製造工程を示す断面図である。まず図1(a)に示すように、Cuからなる金属箔12の一面に図示しないレジストを塗布し、ハーフエッチングを行い点線で示す部分を除去することによって、突起7aを形成する。なお、金属箔12としては、Cu以外にもAlなどの導電性が良好で且つエッチング可能な金属材料を使用することができる。

【0012】次に、図1(b)に示すように、金属箔12の突起7a形成面の裏面側全面に、絶縁層13を形成

する。絶縁層13の形成方法としては、ポリイミドやその他の類似の特性を有する耐熱性・耐薬品性の高い絶縁性材料をレジストコーティングするようにしても良いし、同じくポリイミドなどからなるテープ状の絶縁性材料をラミネートすることにより形成しても良い。

【0013】それから図1(c)に示すように、金属箔12を突起7a形成面側からエッチングすることにより、所定の配線パターン7を形成する。そして絶縁層13の所定の位置に、接続端子の装着用ランドとして機能する開口部9を、エッチングやレーザーなどの周知の方法により、配線パターン7が露出するように形成して、インターポザー4aが完成する。

【0014】このようにして製造されたインターポザー4aを半導体チップに装着した状態を図2に示す。インターポザー4aは、半導体チップ2の電極3形成面側に、突起7aが半導体チップ2の電極3に当接するように位置合わせされ、接着剤14を介して装着されている。なお、この接着剤14は、あらかじめインターポザー4aの配線パターン7形成面側に形成しておいても良いし、半導体チップ2aの電極3形成面側に形成しておいても良い。また、半導体チップ2の電極3とインターポザー4aの突起7aを位置合わせして接合した後、半導体チップ2とインターポザー4aの隙間にアンダーフィルを充填するようにしても良い。なお接着剤14としては、ペースト状のものはもちろんのこと接着フィルムなどの固体状の熱可塑性あるいは熱硬化性の絶縁性接着剤も使用でき、更にはACPやACFなども使用可能である。なお接着剤14は、半導体チップ2の電極3の材質であるAlの腐食を防ぐため、できるだけ不純物を含まない材料を選択するのが望ましい。

【0015】なお両者を接合するに際しては、事前にインターポザー4aの突起7aの先端面にAu、半田などの金属をめっきしてパンプを形成しておくとも良い。これは、前述したように一般的に電極3の材質としてAlが使用されるが、突起7aを例えばCuにて形成している場合、CuはAlと比較して硬度が高いので、両者を当接させて押圧した際に、Alパッドが破損してしまうのを防ぐためである。また突起7aと電極3との接合に際しては、両者を位置合わせ後、インターポザー4aの配線パターン7形成面の裏面側全面にわたってボンディングツールを当接させるようにしても良いし、インターポザー4aの絶縁層13に、半導体チップ2の電極3及び配線パターン7の突起7aに対応する個所に配線パターン7が露出するように開口部を形成しておき、この開口部にボンディングツールを当接させて半導体チップ2の各電極3ごとに接合するようにしても良い。更にまた、配線パターン7及び突起7aの材質としてAlを使用した場合には、突起7aを電極3に当接させた状態で超音波接合するようにしても良い。この場合は、前述したAu、半田などのめっきは必ずしも必要ではない。

その後、配線パターン7の開口部9から露出している個所にAuなどの金属めっきを行い、当該個所に半田ボールなどの接続端子5を装着して、半導体装置1aが完成する。

【0016】ところで、通常この種のインターポザーを製造する際には、図1(a)、(b)のような方法ではなく、絶縁性基材の一面にあらかじめ金属箔が装着された、TABテープなどのテープ基材が使用されるが、このようなテープ基材の場合、絶縁性材料と金属箔とが初めから一体化されていることから、本発明のように複数回金属箔をエッチングするような場合には、その都度絶縁性材料がエッチング液に浸されることになる。TABテープに使用される絶縁性材料は、一般にポリイミドなどの耐薬品性の高い材料ではあるのだが、それでも複数回薬液に浸されることは、やはり好ましいことではない。その点本実施例においては、金属箔12をハーフエッチングして突起7aを形成する段階ではまだ絶縁層13は形成されておらず、その後配線パターン7を形成する際にのみ絶縁層13が薬液に浸されるので、絶縁性材料の性質に影響を及ぼすことなくインターポザーを製造することができるという利点がある。

【0017】なお、上述した各工程の順序は本実施例の記載に限定されず、適宜変更可能である。例えば図1(a)に示した突起7a形成工程と図1(c)に示した配線パターン7形成工程の順序は逆でも良いし、また図1(c)について説明した配線パターン7の形成工程と開口部9の形成工程の順序も逆でも良い。更にまた開口部9を形成する際も、例えば絶縁層13としてテープ状材料を使用した場合には、開口部9は、絶縁層13を金属箔12に装着する前に事前に形成しておいても良い。

#### 【0018】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような優れた効果を奏する。

【0019】本発明のインターポザーの製造方法によれば、スルーホール形成やスルーホールへの導電性材料の充填等の工程が不要となるので、スルーホール形成のための設備が不要となるとともに、従来と比較して大幅に製造時間を削減でき、その結果製品コストを大幅に低減することができる。

【0020】また本発明によれば、インターポザーの構造が単純化でき、この結果材料コストを低減することもできる。

#### 【図面の簡単な説明】

【図1】本発明のインターポザーの製造方法を示す断面図。

【図2】本発明のインターポザーを使用した半導体装置を示す断面図。

【図3】従来のインターポザーを示す断面図。

【図4】従来のインターポザーを使用した半導体装置を示す断面図。

## 【符号の説明】

1、1a 半導体装置

2 半導体チップ

3 電極

4、4a インターポーザー

5 接続端子

6 絶縁性基材

7 配線パターン

7a 突起

8 保護膜

9 開口部

10 スルーホール

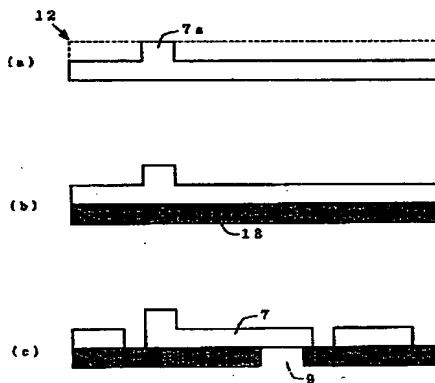
11 導電性部材

12 金属箔

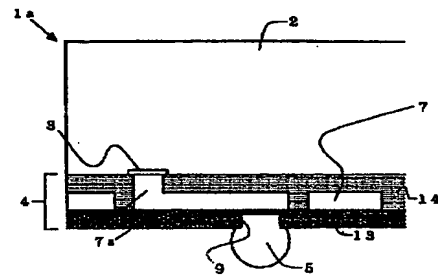
13 絶縁層

14 接着剤

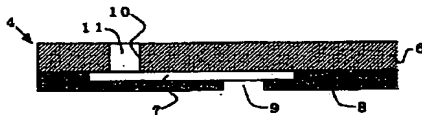
【図1】



【図2】



【図3】



【図4】

